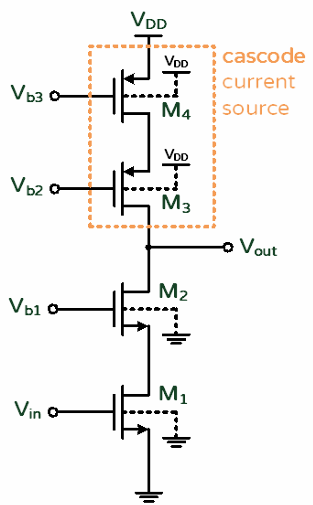
**Analog IC Design Homework 3 Report**

* Student ID : 110011207
* Name : 林士登
* Department : ESS工科系25級

**Question 1. ﹣Cascode Amplifier**

此題所要求的條件如下

***Vx***

***Vy***

我們要選定四個電晶體的W/L、Vin,dc、Vb1~Vb3的值來達成目標。

1. 首先，在設計之前需要做最初步的電路分析，首先四個電晶體必須操作在飽和狀態，我們可以列出下列式子

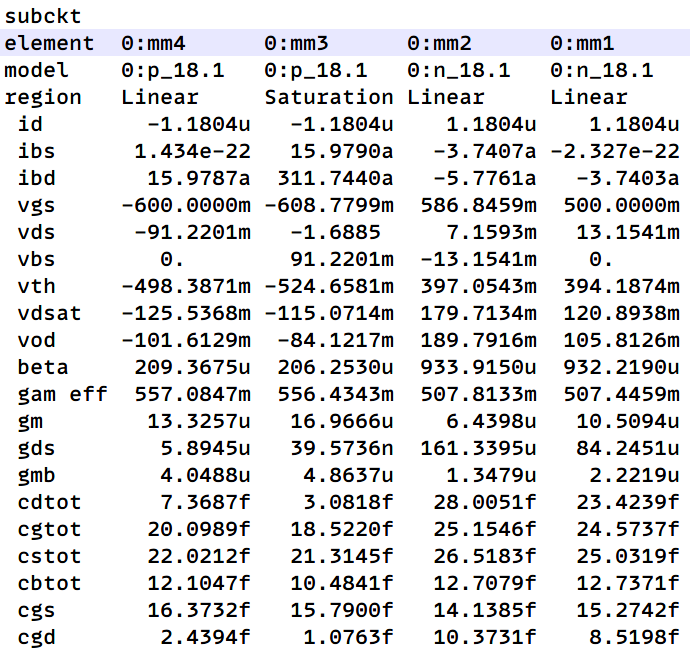
再來，分析電路增益公式 (先考慮相對關係，詳細body effect公式推導後續說明)

假設

最後分析

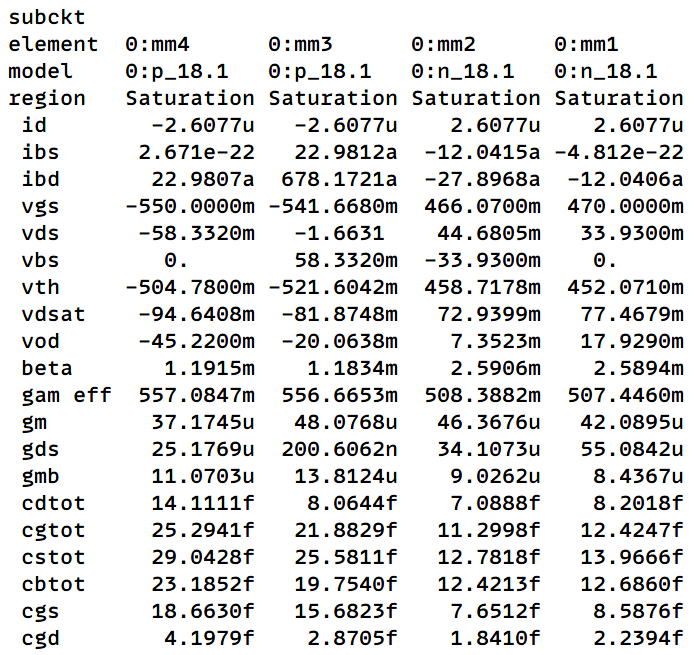
由上述式子可以推論當，因此衡量到output swing必須大且|Av|必須大於45dB大約等於177.827941V/V的情況下，我們要讓Vov調整到適合的值來保證所有電晶體操作在saturation且達到(1)~(3)之條件。

第一次實驗我隨便設參數觀察電晶體特性



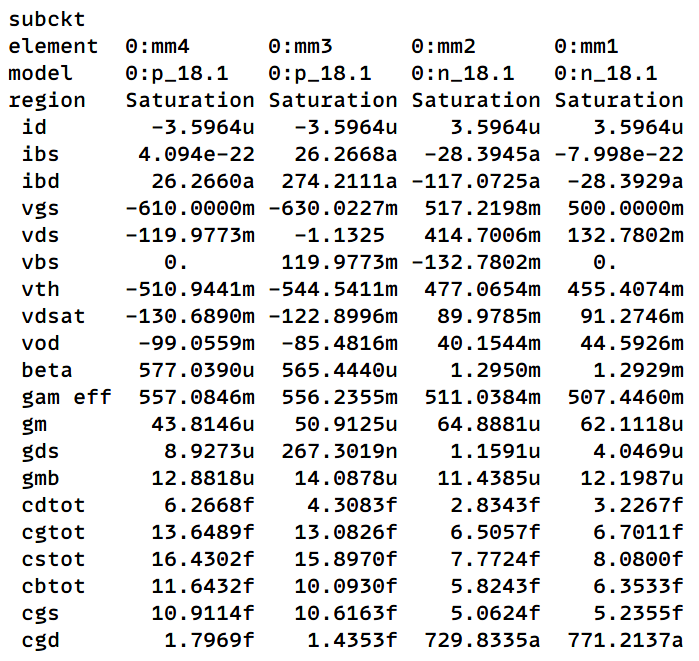
從上述結果可看到仍有三顆電晶體在線性區，觀察Vds與Vov (Vod)後調整讓Vin與Vb1更小、Vb2和Vb3更大使電晶體的|Vgs|更靠近|Vth|，這樣可以輕易的讓Vds大於|Vgs|-|Vth|，更容易達到飽和狀態。

第二次實驗選擇

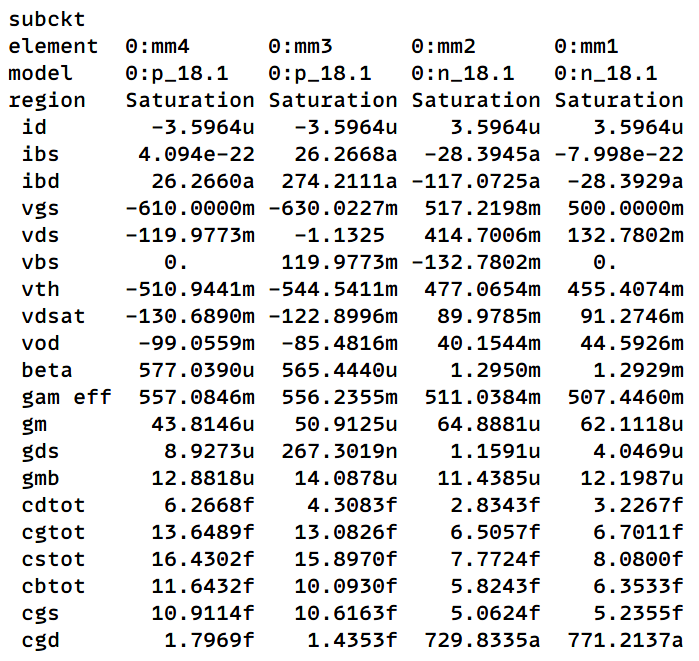
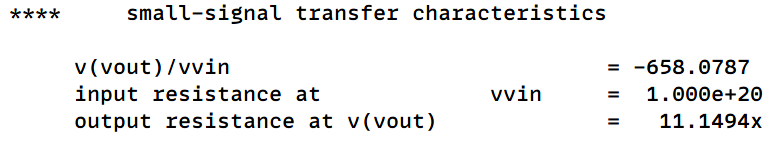
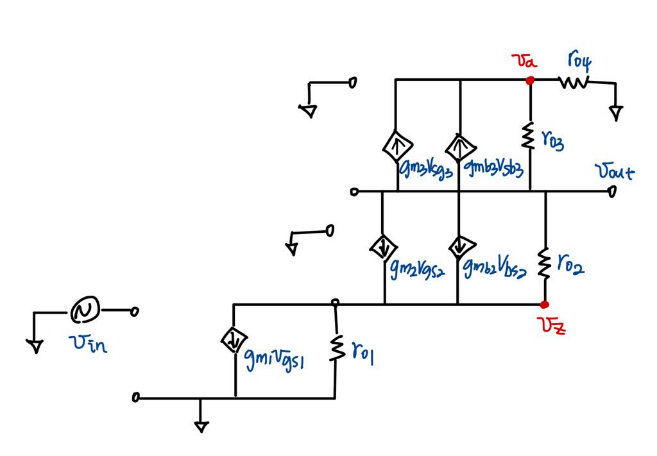


這次實驗得到所有電晶體均於saturation，但是從公式(1)可以得知|Av|與gm呈正相關，但由於gm均太小，因此增益目前是很小的，而gm小是因為Vov太小所導致的，因此下一次實驗方向應將Vov條大並且讓四顆電晶體還在飽和區運作，因此我們應該讓Vin與Vb1更大一些，且Vb2和Vb3再更小一些；另外，我讓pmos與nmos的尺寸調整呈2比1的比例是因為電流公式，因為，所以將尺寸比例設成2比1有助於調整Vov時更對稱，能更有效的保持在saturation region。

第三次實驗選擇



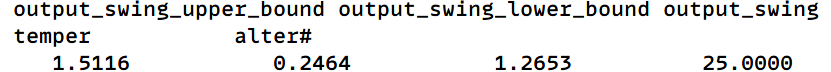
這次實驗可以看到Vov與gm都有明顯的上升且都維持在飽和狀態，且得到的|Av|=658.0787V/V、output swing=1.2653V、ID也小於5uA，已達成所有條件。

1. 
2. 
3. 因(a)無考慮body effect，故以下推導詳細考慮其效應

右圖為其小訊號模型，定義

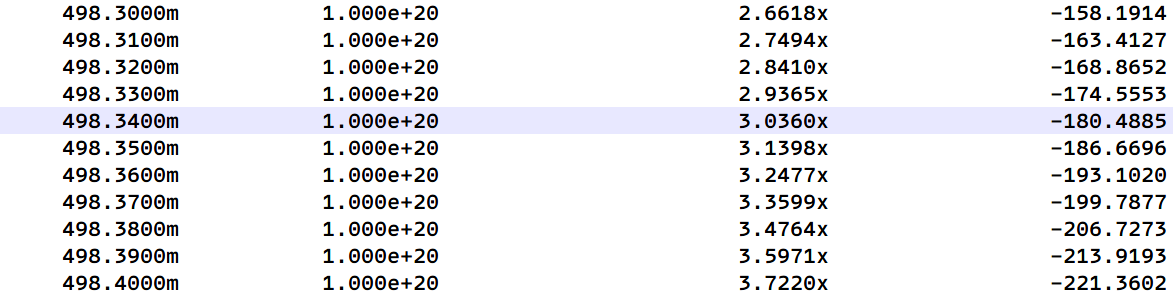
利用python進行代數運算可得

從結果觀察到加入body effect後的模型公式誤差較小，但可能還是與模擬使用之模型有些微差異。

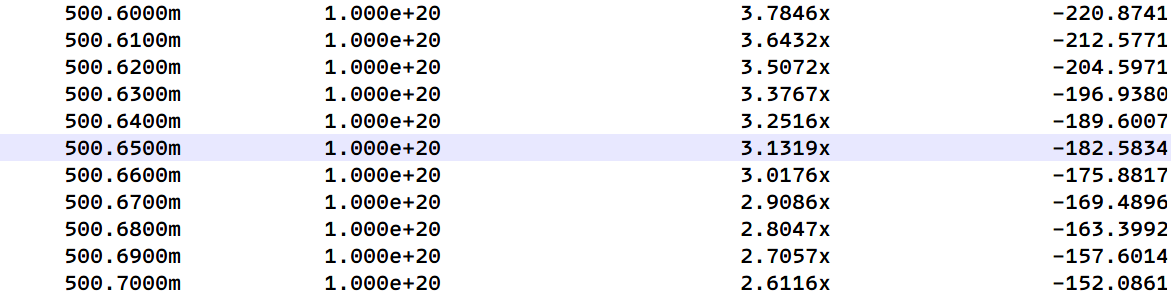
1. 

模擬結果顯示

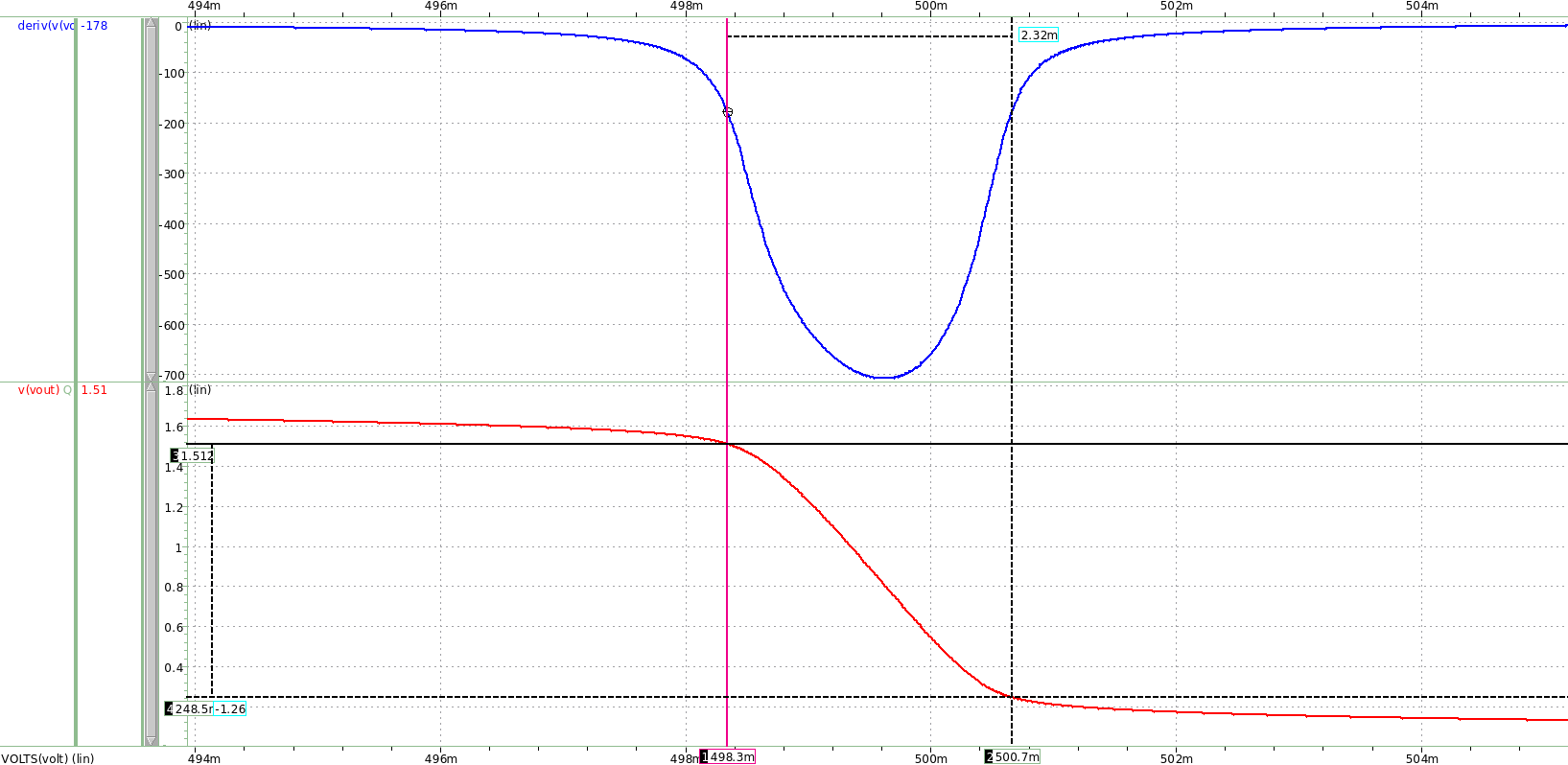
Vin(V) Rin() Rout() Av(V/V)



Vin(V) Rin() Rout() Av(V/V)



經過Vin sweep from 0 to 1.8V, step=10uV後，可以在lis檔中尋找出對應|Av|值在大於45dB也就是177.827941V/V下的Vin值，從表中可以觀察到邊界位於0.498335V與0.500655V附近，在波形圖中打開deriv(V(Vout))與Vout的波形圖，用cursor對準Av波形圖縱軸值為-177.827941V/V的位置，對下去Vout波形圖發現x軸值吻合，再利用水平cursor量測得到output swing = 1.26V。



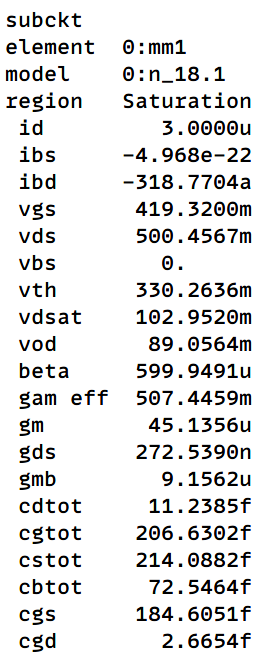
因為waveview中小數點精確度不如模擬高，因此波形圖量測出來可能有微小誤差。

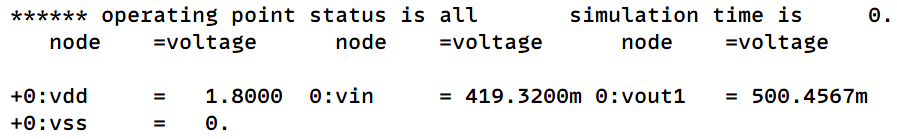
1. 由(a)小題得知

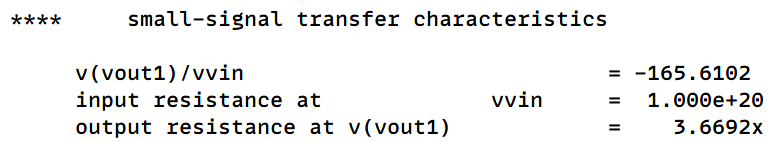
此誤差來源可能是因為simulation的swing是用cursor在達成題目要求的情況下抓出來的，並非固定在同個情況，但手算則是固定在同個Vin值算出來的結果。

|  |  |  |  |
| --- | --- | --- | --- |
|  | **specification** | **simulation** | **hand-calculation** |
| **VDD** | 1.8V | | |
| **M1 (W/L, m)** | **–** | W/L=2um/0.5um, m=1 | |
| **M2 (W/L, m)** | **–** | W/L=2um/0.5um, m=1 | |
| **M3 (W/L, m)** | **–** | W/L=4um/0.5um, m=1 | |
| **M4 (W/L, m)** | **–** | W/L=4um/0.5um, m=1 | |
| **Vin,DC** | **–** | 0.50V | |
| **Vb1** | **–** | 0.65V | |
| **Vb2** | **–** | 1.05V | |
| **Vb3** | **–** | 1.19V | |
| **ID** | < 5A | 3.5964A | **–** |
| **gain |Av|** | 45dB | 56.356dB | 56.366dB |
| **output impedence** | **–** | 11.1494M | M |
| **output swing** | 1.2V | 1.2653V | 1.5307V |

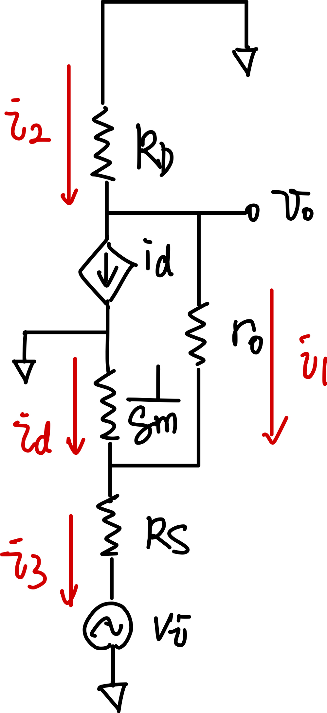
**Question 2. ﹣Cascade Amplifier**

1. CS stage
2. 因為MOS電晶體的結構導致若通道長度L越長，通道等校電阻值ro就會愈高，且因為這題的Rout = ro，因此對於增益|Av|=gm\*ro來看，設計一個長通道的電晶體可以提高增益；將增益值變大之後，我開始調整Vin想辦法把Vout控制在0.499V到0.501V之間，因為common source的特性是Vin上升，Vout下降，因此順著這個特性就能慢慢找到平衡點。因此我最終的Vin,dc = 0.41932V、W/L = 8um/4um，得到的Vout,dc = 0.5004567V、|Av1|=165.61V/V。
3. 



1. 

手算之增益值與模擬之結果相近，可能稍有小數點取位數或模型公式之誤差存在。

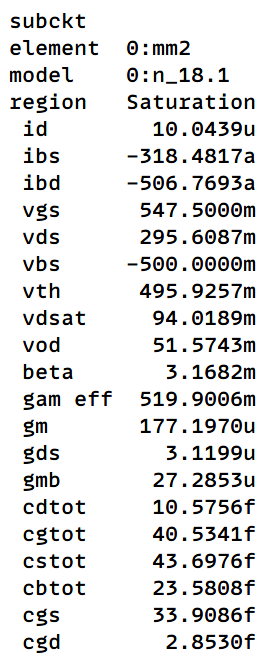
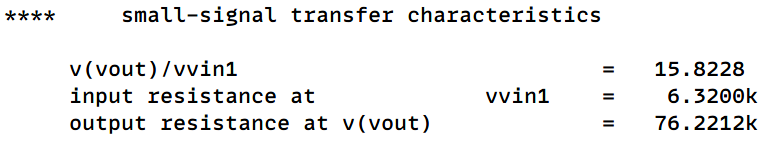
1. CG stage
2. 我們可以從許多面向來分析Common Gate的特性，首先分析小訊號模型

由右圖可以得知i2=i1+id=i3，以下推導|Av|之公式。(未包含body effect)

***Small signal model***

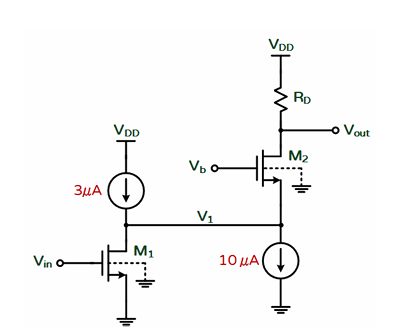
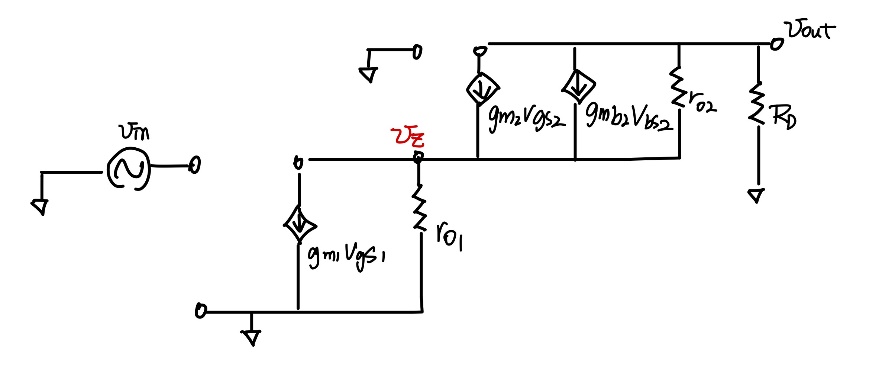
由上述式子可以判斷當RD上升時，|Av|也會跟著上升。

在調整參數方面，我選定較小的L值但較大的W/L值，一方面可以降低Vth使可調控Vov提升，另一方面也可以增加電流Id的值；RD的部分有兩個面向需要做取捨，分別是Vout,dc的值與|Av|的大小，從上述分析來看要增加|Av|勢必要增加RD，但是若RD值太大會造成IR drop太大，進而造成Vout可能太小無法達到saturation的狀態，因此我試了幾次調整至|Av|值可以達到超過10V/V但又可以達到飽和的RD值；接下來，因為電流還沒達到要求的10uA，且已知Vb與Id呈正相關，因此利用微調Vb的值可以精準的控制Id的電流值，達到要求。最終選定的Vb = 1.0475V、RD = 100k、W/L = 8um/0.8um。

1. a
2. 
3. 以下推導會加入body effect之影響
4. 由上頁的小訊號模型可以得知
5. 由小訊號模型推得

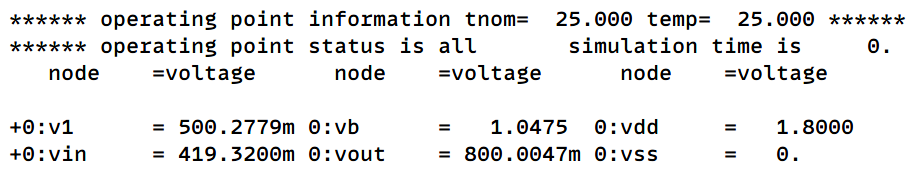
因為此電路存在body effect，加入考慮之後誤差變得很小。但是，電路中可能含有一些非理想特性，或是現代製成的進步導致手算公式與模擬使用的模型有些差異，因此造成些微誤差。

1. Cascade Structure

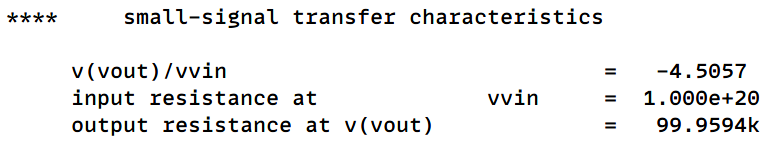


***Small signal model***

***Cascade (CS+CG)***

1. a

可以看到V1仍維持在0.5V附近。

1. A

A

從模擬結果可以看到增益|Av|=4.5057比原本CS與CG stage個別增益相乘小了非常多，原本的|Av|在CS stage為165.6102V/V、CG stage為15.8228V/V，但接在一起之後的增益為4.5057V/V，這是因為從CS輸出端看進去的Rout比單CS級看進去的阻抗小了非常多，造成這個現象的原因是因為原本的阻抗ro1並聯了右側接的CG級的阻抗，導致整體阻抗大幅減少，造成CS級的增益值|Av1|也跟著大幅下降，詳細的分析如下頁。

首先分析從V1看進CG級的輸出阻抗，V1在小訊號模型中令為Vz點

令

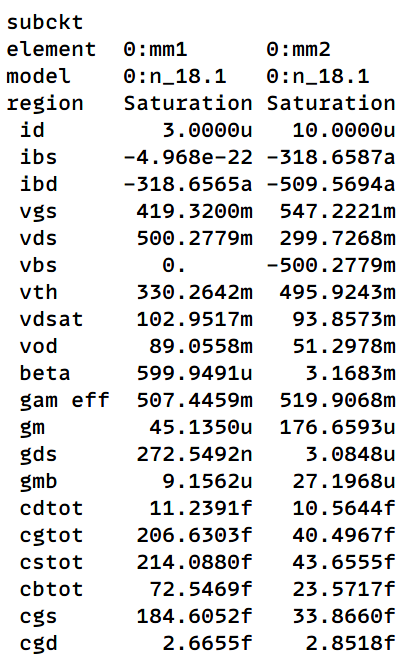
又從原本的CS stage看進去的輸出阻抗為ro1，所以新的CS stage輸出阻抗

由上述推導可見，cascade架構的CS stage輸出阻抗比原先單一CS stage小了非常多，因此整體CS stage的增益也下降非常多，造成整個cascade架構的增益變非常小。

1. 由上頁的小訊號模型來分析

將上述第二式帶入第一式

從上式得出Av = -4.504713128V/V，與模擬的Av=-4.5057V/V差距非常小，表示此模型加入body effect的影響後是很精準的。(以上的參數都在.lis檔中取得)



|  |  |  |  |
| --- | --- | --- | --- |
|  | **specification** | **simulation** | **hand-calculation** |
| **Fig. 2.(a) Common-Source stage** | | | |
| **VDD** | 1.8V | | |
| **current source load** | 3A | | |
| **M1 (W/L, m)** | **–** | W/L=8um/4um, m=1 | |
| **Vin,DC** | **–** | 0.41932V | |
| **Vout1,DC** | 0.5V±10mV | 0.5004567V | **–** |
| **gain |Av1|** | 100V/V | 165.6102V/V | 165.6115272V/V |
| **output impedence** | **–** | 3.6692MΩ | **–** |
| **Fig. 2.(b) Common-Gate stage** | | | |
| **VDD** | 1.8V | | |
| **Vin1,DC** | 0.5V | | |
| **M2 (W/L, m)** | **–** | W/L=8um/0.8um, m=1 | |
| **Vb** | **–** | 1.0475V | |
| **RD** | **–** | 100k | |
| **ID** | 10A±1% | 10.0439uA | **–** |
| **gain |Av2|** | 10V/V | 15.8228V/V | 15.823459V/V |
| **input impedence** | **–** | 6.3200kΩ | 6.3197307kΩ |
| **output impedence** | **–** | 76.2212kΩ | 76.2209314kΩ |
| **Fig. 3. Cascade CS-CG amplifier** | | | |
| **VDD** | 1.8V | | |
| **DC bias (V1)** | **–** | 0.5002779V | **–** |
| **overall gain |Av|** | **–** | 4.5057V/V | 4.504713128V/V |

**Question 3. ﹣Comparison between “cascode” & “cascade” structure**

1. From the perspective of “gain amplitude”, the “cascode” structure is preferred over the “cascade” structure. This preference arises because the output impedance of the cascade structure can be influenced by different stages when connected to each other, potentially leading to degradation in the overall gain. However, in the cascode structure, as derived from the formula above, the gain amplitude can be increased by stacking MOSFETs. In summary, the “cascode” structure outperforms the “cascade” structure in terms of gain amplitude.
2. From the perspective of “output swing”, the “cascade” structure typically offers a larger output swing compared to the “cascode” structure. This is because the output swing of each stage adds up, allowing for a larger overall swing. The cascode structure may have a limited output swing compared to the cascade structure due to the voltage headroom required for the cascode transistor.